

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-320134

(43)Date of publication of application : 31.10.2002

(51)Int.Cl.

H04N 5/225

H01L 21/822

H01L 27/04

H01L 27/148

(21)Application number : 2001-125266

(71)Applicant : FUJI FILM MICRODEVICES CO LTD
FUJI PHOTO FILM CO LTD

(22)Date of filing : 24.04.2001

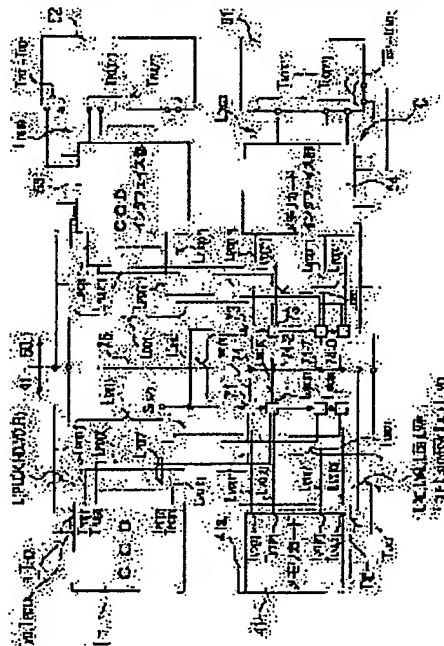
(72)Inventor : KAWAMURA KATSUO

(54) DIGITAL IMAGE DATA PROCESSOR AND IMAGING UNIT HAVING THE SAME DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the number of terminals of an one-chip image signal processing IC.

SOLUTION: An image processing circuit has a plurality of first input terminals and a plurality of first input/output terminals, a plurality of terminals capable of receiving one among image data signals from an imaging unit and one among image data signals from a memory card, a plurality of first signal lines connecting those terminals to the first input terminals for supplying the image data signals supplied from those terminals to the image processing circuit, a plurality of second signal lines connecting those terminals to the first input/output terminals for transferring the image data signals between those terminals and the memory card, and a first select circuit, capable of selecting only the transfer of image data between those terminals and either the first signal lines or the second signals lines are integrated on a single chip.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-320134

(P2002-320134A)

(43)公開日 平成14年10月31日(2002. 10. 31)

(51)Int.Cl. ⁷	識別記号	F I	デマコード(参考)
H 0 4 N 5/225		H 0 4 N 5/225	Z 4 M 1 1 8
H 0 1 L 21/822		H 0 1 L 27/14	B 5 C 0 2 2
27/04		27/04	E 5 F 0 3 8
27/148			

審査請求 未請求 請求項の数5 O L (全 10 頁)

(21)出願番号 特願2001-125266(P2001-125266)

(22)出願日 平成13年4月24日(2001. 4. 24)

(71)出願人 391051588

富士フイルムマイクロデバイス株式会社

宮城県黒川郡大和町松坂平1丁目6番地

(71)出願人 000005201

富士写真フイルム株式会社

神奈川県南足柄市中沼210番地

(72)発明者 河村 佳津男

宮城県黒川郡大和町松坂平1丁目6番地

富士フイルムマイクロデバイス株式会社内

(74)代理人 100091340

弁理士 高橋 敬四郎 (外2名)

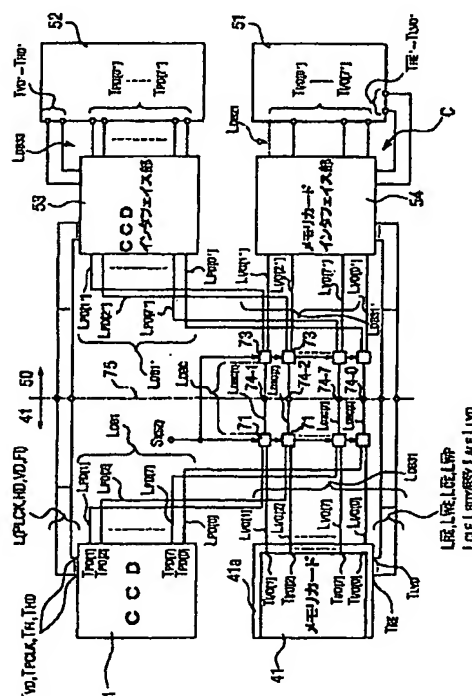
最終頁に続く

(54)【発明の名称】 デジタル画像データ処理装置及びそれを備えた撮像装置

(57)【要約】

【課題】 ワンチップ画像信号処理 ICの端子数を削減する。

【解決手段】 複数の第1の入力端子と複数の第1の入出力端子とを有する画像処理回路と、複数の端子であって、それぞれが撮像装置からの画像データ信号の1つおよびメモ리카ードからの画像データ信号の1つを受けることができる複数の端子と、複数の端子と第1の入力端子との間をそれぞれ接続し、複数の端子から供給される画像データ信号を画像処理回路に供給する複数の本の第1の信号線と、複数の端子と第1の入出力端子との間をそれぞれ接続し、複数の端子とメモ리카ードとの間の画像データ信号のやりとりを行う複数の本の第2の信号線と、複数の端子と、第1の信号線及び第2の信号線との間のいずれか一方と、の間の画像データのやりとりのみを許容するよう選択できる第1のセレクト回路とを1チップ上に集積化する。



【特許請求の範囲】

【請求項1】 複数の第1の入力端子と複数の第1の入出力端子とを有する画像処理回路と、
複数の端子であって、それぞれが撮像装置からの画像データ信号の1つおよびメモ리카ードからの画像データ信号の1つを受けることができる複数の端子と、
前記複数の端子と前記第1の入力端子との間をそれぞれ接続し、前記複数の端子から供給される画像データ信号を前記画像処理回路に供給する複数の第1の信号線と、
前記複数の端子と前記第1の入出力端子との間をそれぞれ接続し、前記複数の端子と前記メモ리카ードとの間の画像データ信号のやりとりを行う複数の第2の信号線と、
前記複数の端子と、前記第1の信号線及び前記第2の信号線との間のいずれか一方と、の間の画像データのやりとりのみを許容するよう選択できる第1のセレクト回路とを1チップ上に集積化したデジタル画像データ処理装置。

【請求項2】 前記画像処理回路は、前記第1の入力端子を有し、前記撮像装置からの画像データ信号の信号処理を行うデジタル信号処理回路と、前記第1の入出力端子を有するとともに、前記デジタル信号処理回路とも接続され、種々の演算処理を行う中央演算処理装置とを有している請求項1に記載のデジタルデータ処理装置。

【請求項3】 さらに、前記複数の第1の信号線の途中に設けられ、前記撮像装置から前記デジタル信号処理回路へ送られる画像データ信号の中継を行う第1のインタフェイス回路と、
前記複数の第2の信号線の途中に設けられ、前記中央演算処理装置と前記メモ리카ードとの間でやり取りされる画像データ信号の中継を行う第2のインタフェイス回路とを有している請求項1又は2に記載のデジタル画像データ処理装置。

【請求項4】 複数の第1の入力端子と複数の第1の入出力端子とを有する画像処理回路と、
複数の端子であって、それぞれが撮像装置からの画像データ信号の1つおよびメモ리카ードからの画像データ信号の1つを受けることができる複数の端子と、
前記複数の端子と前記第1の入力端子との間をそれぞれ接続し、前記複数の端子から供給される画像データ信号を前記画像処理回路に供給する複数の第1の信号線と、
前記複数の端子と前記第1の入出力端子との間をそれぞれ接続し、前記複数の端子と前記メモ리카ードとの間の画像データ信号のやりとりを行う複数の第2の信号線と、
前記複数の端子と、前記第1の信号線及び前記第2の信号線との間のいずれか一方と、の間の画像データのやりとりのみを許容するよう選択できる第1のセレクト回路

とを1チップ上に集積化したデジタル画像データ処理装置と；画像データ信号を生成し、該画像データ信号を出力するための複数の第1の出力端子を備えた撮像素子と、

前記メモ리카ードを装着するためのメモ리카ードスロットであって、画像データを入出力するための複数の第2の入出力端子を備えたメモ리카ードスロットと、
前記複数の端子と前記第1の出力端子との間をそれぞれ接続し、前記複数の端子に画像データ信号を供給する複数の第3の信号線と、
前記複数の端子と前記第2の入出力端子との間をそれぞれ接続し、前記複数の端子と前記メモ리카ードとの間の画像データ信号のやりとりを行う複数の第4の信号線と、
前記複数の端子と、前記第3の信号線及び前記第4の信号線との間のいずれか一方と、の間の画像データのやりとりのみを許容するよう選択できる第2のセレクト回路とを備えた撮像装置。

【請求項5】 さらに、前記第1の信号線と第3の信号線、及び、前記第2の信号線と前記第4の信号線のいずれか一方のみが接続される別の端子を有する請求項4に記載の撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、デジタル画像データ処理装置及びそれを備えた撮像装置に関し、特にワンチップデジタル画像処理装置に関する。

【0002】

【従来の技術】 近年、デジタルカメラ用ワンチップ画像処理装置、いわゆるワンチップ画像処理ICが、研究・開発されている。

【0003】 図6に、デジタルカメラ用ワンチップ画像処理ICを含めたデジタルスチルカメラの機能ブロック図の一例を示す。図6に示すように、デジタルスチルカメラAは、CCD固体撮像装置100と、デジタルカメラ用ワンチップ画像処理IC110とを備えている。

【0004】 デジタルカメラ用ワンチップ画像処理IC110は、中央演算処理装置（CPU）113と、CCD用デジタル信号処理装置（CCD-DSP）115とを備えている。CPU113は、種々の演算処理を行う。CCD-DSP115は、デジタル信号の補間処理や輪郭補正・彩度補正などの補正処理など、画像データ信号の処理を行う専用回路である。デジタルカメラ用ワンチップ画像処理IC110には、CCD100とのインタフェイス121と、メモ리카ード150とのインタフェイス125とが備えられている。さらに、外部記憶装置、例えばSDRAM160とのインタフェイス131、液晶表示装置（LCD）170とのインタフェイス135を有している。加えて、例えばパーソナルコンピュータ（PC）180とのインタフェイスとして用いら

れるUSB用インタフェイス141、メニューボタンや各種警告装置などのユーザインタフェイス190との信号のやりとりを行う周辺処理部（ペリフェラル）145を有している。

【0005】機能ブロックで示される各回路間は、複数本の信号線からなるデータバスラインLDB101からLDB131までにより接続されている。

【0006】このように、デジタルカメラ用ワンチップ画像処理IC110は、デジタル信号処理回路115、CCDインタフェイス、メモ리카ードインタフェイス190などの各種インタフェイス回路から、CPU113までを1チップ内に集積化したものである。種々の機能を1チップに集積化することで、チップ面積を縮小することができ、製造コストの削減が可能となる。

【0007】

【発明が解決しようとする課題】ところで、上記のように1チップ内に多くの機能を内蔵する際に特に問題になる点として、ICの端子数の増加という問題が挙げられる。最近の例では、160ピン以上の端子を有するIC、さらには280ピンの端子を有するICも見受けられる。パッケージ端子とチップとはワイヤボンディングにより接続されるため、端子数が増加すると、通常はチップの周辺にワイヤボンディング用のパッドを用意する必要が生じる。ワイヤボンディング用のパッドの面積が支配的になり、チップサイズを縮小させることが困難になる。また、たとえチップサイズを何らかの方法により縮小できたとしても、端子数が増加すれば、チップを搭載するためのパッケージのサイズを大きくせざるを得ない。パッケージにかかるコストが支配的になり、チップ面積の縮小によるコスト削減の効果を上回ってしまうという問題が生じていた。

【0008】本発明は、デジタル画像データ処理装置の端子数を低減し、製造コストを削減することを目的とする。

【0009】

【課題を解決するための手段】本発明の一観点によれば、複数の第1の入力端子と複数の第1の入出力端子とを有する画像処理回路と、複数の端子であって、それぞれが撮像装置からの画像データ信号の1つおよびメモ리카ードからの画像データ信号の1つを受けることができる複数の端子と、前記複数の端子と前記第1の入力端子との間をそれぞれ接続し、前記複数の端子から供給される画像データ信号を前記画像処理回路に供給する複数本の第1の信号線と、前記複数の端子と前記第1の入出力端子との間をそれぞれ接続し、前記複数の端子と前記メモ리카ードとの間の画像データ信号のやりとりを行う複数本の第2の信号線と、前記複数の端子と、前記第1の信号線及び前記第2の信号線との間のいずれか一方と、の間の画像データのやりとりのみを許容するよう選択できる第1のセレクト回路とを1チップ上に集積化したデ

ジタル画像データ処理装置が提供される。

【0010】本発明の他の観点によれば、複数の第1の入力端子と複数の第1の入出力端子とを有する画像処理回路と、複数の端子であって、それぞれが撮像装置からの画像データ信号の1つおよびメモ리카ードからの画像データ信号の1つを受けることができる複数の端子と、前記複数の端子と前記第1の入力端子との間をそれぞれ接続し、前記複数の端子から供給される画像データ信号を前記画像処理回路に供給する複数本の第1の信号線と、前記複数の端子と前記第1の入出力端子との間をそれぞれ接続し、前記複数の端子と前記メモ리카ードとの間の画像データ信号のやりとりを行う複数本の第2の信号線と、前記複数の端子と、前記第1の信号線及び前記第2の信号線との間のいずれか一方と、の間の画像データのやりとりのみを許容するよう選択できる第1のセレクト回路とを1チップ上に集積化したデジタル画像データ処理装置と；画像データ信号を生成し、該画像データ信号を出力するための複数本の第1の出力端子を備えた撮像素子と、前記メモ리카ードを装着するためのメモ리카ードスロットであって、画像データを入出力するための複数本の第2の入出力端子を備えたメモ리카ードスロットと、前記複数の端子と前記第1の出力端子との間をそれぞれ接続し、前記複数の端子に画像データ信号を供給する複数本の第3の信号線と、前記複数の端子と前記第2の入出力端子との間をそれぞれ接続し、前記複数の端子と前記メモ리카ードとの間の画像データ信号のやりとりを行う複数本の第4の信号線と、前記複数の端子と、前記第3の信号線及び前記第4の信号線との間のいずれか一方と、の間の画像データのやりとりのみを許容するよう選択できる第2のセレクト回路とを備えた撮像装置が提供される。

【0011】上記のデジタル画像データ処理装置又はそれを備えた撮像装置を用いると、メモ리카ードとの間のデータのやりとりと、撮像素子からの画像データの取り込みと、を共通の端子を介して行うことができる。従って、1チップデジタル画像データ処理装置の端子数を少なくすることができる。

【0012】

【発明の実施の形態】本発明の実施の形態について説明する前に、発明者の行った考察について図1から図3までを参照して説明する。図1は、CCD固体撮像装置の平面図である。図2は、メモ리카ード（スマートメディアを例に示す）の平面図である。図3は、デジタルカメラ用ワンチップ画像処理ICを含む画像データ処理装置の構成を示すブロック図である。

【0013】図1は、CCD固体撮像装置の平面図である。図1に示すように、CCD固体撮像装置1は、2次元平面2上に形成された画素部3と、垂直駆動部5と、水平駆動部7と、信号出力部11とを備えている。画素部3は、行方向及び列方向に整列した多数の光電変換素

子21と、光電変換素子21に蓄積された電荷を列方向（図では垂直方向）に転送する複数本の垂直電荷転送チャネル25と、垂直電荷転送チャネル25を介して転送された電荷を水平方向に転送する1本の水平電荷転送チャネル27とを有している。光電変換素子21と垂直電荷転送チャネル25上には、水平方向に延在する複数本の垂直電荷転送電極23が形成されている。水平電荷転送チャネル27上には、複数の水平電荷転送電極28が形成されている。

【0014】尚、タイミングパルス信号発生器15は、通常、CCD固体撮像装置1とは別チップで供給されるが、タイミングパルス信号発生器15をCCD固体撮像装置1と同一チップ上に形成しても良いし、後述するデジタルカメラ用ワンチップ画像処理IC中に集積化しても良い。

【0015】垂直駆動部5は、光電変換素子21から垂直電荷転送チャネル25へ電荷を読み出すための電荷読み出し信号と、読み出された電荷を転送するための電荷転送信号とを垂直電荷転送電極23に印加する。電荷転送信号は、例えば $\Phi V1$ から $\Phi V4$ までの4相の駆動信号である。

【0016】水平駆動部7は、水平電荷転送チャネル27内の電荷を転送するための電荷転送信号を水平電荷転送電極28に印加する。電荷転送信号は、例えば $\Phi H1$ と $\Phi H2$ との2相の駆動信号である。

【0017】出力部11は、水平電荷転送チャネル27から出力された電荷信号を増幅するための出力アンプ31と、出力アンプ31から出力されたアナログデータ信号をA/D変換してデジタル画像データ信号として出力するA/D変換器33とを有している。A/D変換器33は、例えば8ビットのデジタルデータを出力するための8本の出力端子TPD[0]からTPD[7]までを有している。

【0018】タイミングパルス信号発生器15は、CCDの駆動に必要な種々のタイミング信号を発生する。例えば、CCD、タイミングパルス発生器、後述するデジタルカメラ用ワンチップ画像処理IC間での同期関係を保つ上で必要となるピクセルクロックPCLK、水平方向への電荷転送の基準信号となる水平同期信号HDと垂直方向への電荷転送の基準信号となる垂直同期信号VDと、複数のフィールドに分けて画像データを取り出す際のフィールド認識を行うために必要なフィールド認識信号FIなどを発生する。これらの信号は、相互に同期関係が保たれている。

【0019】タイミングパルス信号発生器15から出力される同期されたこれらのタイミングパルス信号は、CCD固体撮像装置1に向けて出力されるとともに、同じ信号が後述するデジタルカメラ用ワンチップ画像処理ICに向けても出力される。

【0020】より詳細には、タイミングパルス信号発生

器15は、さらに垂直同期信号VDを元にして、CCDの垂直駆動部5が電荷転送電極23に印加する4相駆動信号 $\Phi V1$ から $\Phi V4$ までを発生し、また、水平同期信号HDを元にして、水平駆動部7が電荷転送電極27に印加する2相駆動信号 $\Phi H1$ と $\Phi H2$ も発生する。

【0021】タイミングパルス信号発生器15は、上記の各種信号を出力するためのタイミングパルス信号を出力する出力端子TVD、TPCLK、TFI、THD、T $\Phi V1$ からT $\Phi V4$ まで、及びT $\Phi H1$ とT $\Phi H2$ とを有している。

【0022】図2に示すように、画像データを記憶させておくためのメモ리카ードの代表例としてスマートメディア（商標名）41がある。スマートメディア41は、不揮発性のメモリの一種であるフラッシュメモリ43が内蔵されたカード状の記憶メディアであり、デジタルスチルカメラ用のメモ리카ードとして広く用いられている。メモ리카ードとしては、スマートメディア以外に、コンパクトフラッシュ（CF）カード（商標名）やマルチメディアカード（MMC：商標名）などが用いられる。メモ리카ードの種類によって出力端子の本数や種類は異なるが、データバス用の入出力端子を複数本備えている点は同じである。スマートメディア41では、例えばデータの入出力に用いられる端子の数は、T1/O[0]からT1/O[7]までの8本である。これらの端子は、アドレス、コマンドおよび入出力データを入出力するための端子である。

【0023】スマートメディア41は、その他、各種の制御信号用の端子などを備えている。コマンドラッチイネーブル端子TCLEは、動作コマンドのデバイス内部のコマンドレジスタへの取り込みをコントロールするための信号用の端子である。アドレスラッチイネーブル端子TALEは、アドレスデータおよび入力データのデバイス内部のアドレスレジスタ、データレジスタへの取り込みをコントロールするための信号用の端子である。チップイネーブル端子T(CE)は、デバイス選択信号CE用の端子である。尚（/CE）は、CEの反転信号を表す記号であり、図においては記号CEの上に線が引かれている。ライトイネーブル端子T(WE)は、I/O端子から各データをデバイス内部に取り込むための信号用の端子である。

【0024】リードイネーブル端子T(RE)は、データをシリアル出力させる信号用の端子である。ライトプロテクト端子T(WP)は、書き込み又は消去の動作を強制的に禁止するための信号用の端子である。レディ・ビジー端子TRDY/(BSY)は、デバイスの内部動作状態を外部に知らせるための出力信号用端子である。ロー・ボルトテージ・ディテクト端子TLVDは、デバイスの電源電圧を検知するための端子である。スマートメディアは、以上のように、例えば、計16本の端子を備えている。

【0025】図3は、CCD固体撮像装置及びメモ리카ードと、デジタルカメラ用ワンチップ画像処理ICとを

含む撮像装置（デジタルステルカメラ）の全体構成を示すブロック図である。図3に示すように、デジタルステルカメラ（デジタル画像データ処理装置）Bは、CCD固体撮像装置1と、デジタルカメラ用ワンチップ画像処理IC50とを備えている。

【0026】デジタルカメラ用ワンチップ画像処理IC50は、中央演算処理装置（CPU）51と、画像データ信号の処理を行うデジタル信号処理回路（CCD-DSP）52とを備えている。CPU51は、種々のデータ処理を行う。CCD-DSP52は、デジタル画像信号を処理するための専用回路として、データの補間処理や補正処理などを行う。デジタルカメラ用ワンチップ画像処理IC50には、CCD固体撮像装置1とのインタフェースであるCCDインタフェース部53と、メモリカード41とのインタフェースであるメモリカードインタフェース部54とが設けられている。さらに、外部記憶装置（SDRAM）61とのインタフェースであるSDRAMインタフェース部54、液晶表示装置（LCD）63などのディスプレイ用のインタフェースであるディスプレイ・インタフェース部55をも有している。加えて、例えばパーソナルコンピュータ（PC）65とのインタフェースとして用いられるUSB用インタフェース56、メニューボタンや各種警告装置（ここでは、ユーザインタフェース）67などとの信号のやりとりを行うペリフェラル57を有している。上記の機能ブロックで示される各回路間は、LDB1からLDB38までの符号で示される複数のデータバス信号線により接続されている。

【0027】尚、画像処理装置を有する撮像装置、例えばデジタルステルカメラには、画像データを保存して外部に持ち出したり、別の画像データをデジタルステルカメラに備えられた表示装置などで表示させたりするために、メモリカードを装着するためのメモリカードスロットが設けられている。

【0028】画像処理装置が組み込まれた撮像装置、例えばデジタルステルカメラの用途から考えて、撮影中にメモリカードにアクセスする機会は少ないと考えた。前の撮影時の画像データをメモリカードに記憶させている間に、次の撮影を行うことができるようになっている場合もあるが、このような機能は、例えばローコストデジタルカメラにおいては省略できるものであると考えられる。

【0029】発明者は、比較的多くの端子を必要とするデジタルカメラ用ワンチップ画像処理IC50とCCD固体撮像装置1との間と、デジタルカメラ用ワンチップ画像処理IC50とメモリカード41との間の端子を少なくとも一部共通化することができれば、IC全体の端子数を削減できると考えた。

【0030】以下、上記の考察に基づいて、本発明の一実施の形態によるデジタル画像データ処理装置について

図3から図5までを参照して説明する。

【0031】図3に示す本実施の形態による画像データ処理装置では、CCD固体撮像装置1からCCDインタフェース53へと信号を送るための複数本の信号ラインを含む第1のバスラインLDB1-LDB1'と、メモリカード41とメモリカードインタフェース54間の双方向通信を行うための複数本の信号ラインを含む第2のバスラインLDB31-LDB31'とのうち、少なくとも一部がCCD固体撮像装置1とデジタルカメラ用ワンチップ画像処理IC50との境界を含む区間において共通のバスラインLDBCを構成している。

【0032】CCD固体撮像装置1と、メモリカード41とCCDインタフェース53及びデジタル信号処理回路52と中央演算処理装置（CPU）51とメモリカードインタフェース54とを含む破線Cで示される範囲内の詳細な構成を図4に示す。

【0033】図4に示すように、デジタル信号処理回路52に、CCD固体撮像装置1内の出力端子TPD[0]からTPD[7]までと出力端子TV_D、TPCLK、TFIおよびTHDに対応する複数の入力端子TPD[0']からTPD[7']までと入力端子TV_D'、TPCLK'、TFI'およびTHD'が設けられている。

【0034】CCD固体撮像装置1とデジタル信号処理回路52との間にCCDインタフェース53が設けられている。CCD固体撮像装置1の出力端子TPD[0]からTPD[7]までと出力端子TV_D、TPCLK、TFIおよびTHDとから、それぞれ、8本の画像データ信号線LPD[0]からLPD[7]までにより構成されるバスラインLDB1と、タイミング基準信号線LPCLK、LHD、LV_D及びLFIとが延びている。バスラインLDB1により、CCD固体撮像装置1からの信号がデジタル信号処理回路52に向けて画像データ信号が送信される。

【0035】メモリカード41は、メモリカードスロット41a内に収納される。メモリカードスロット41aには、メモリカード41が有する入出力端子TI/O[0]からTI/O[7]までとT(/RE)からTLVDまでに対応する入出力端子が設けられている。このメモリカードスロット41aに設けられた入出力端子は、そこから延びる信号線LDB31及びLDB31'メモリカードインタフェース54とを介して、中央演算装置51に設けられている入出力端子TI/O[0']からTI/O[7']までとT(/RE)'からTLVD'までがそれぞれ接続されている。

【0036】メモリカード41が有する入出力端子TI/O[0]からTI/O[7]までと中央演算装置51に設けられている入出力端子TI/O[0']からTI/O[7']までとの間に、8本の画像データ信号線LI/O[0]からLI/O[7]までが形成されている。入出力端子T(/WE)からTLVDまでと入出力端子T(/RE)'からTLVD'までとの間に、制御信号線L(/WE)からLLVDまでが形成されている。画像データ信号線LI/O[0]からLI/O[7]までにより構成されるバス

ライン LD_{B31} と同じくバスライン LD_{B31}' により、メモリカード41と中央演算装置51との間の画像データ信号のやり取りが行われる。

【0037】上記の構成において、8本の画像データ信号線 $LPD[0]$ から $LPD[7]$ までから選択された1本の信号線、例えば $LPD[0]$ と、8本の画像データ信号線 $LI/O[0]$ から $LI/O[7]$ までから選択された1本の信号線、例えば $LI/O[0]$ とを1本の共通信号線 $LD_{BC}[0]$ とする。他の信号線に関しても共通化できるものは共通化する。例えば、8本ずつの信号線のうちからそれぞれ1本ずつを選択してそれらを共通化すれば、計16本の信号線が半数になる。これら8本の共通信号線 $LD_{BC}[0]$ から $LD_{BC}[7]$ までにより、共通バスライン LD_{BC} が形成される。共通バスライン LD_{BC} は、CCD固体撮像装置1及びメモリカード41側と、デジタルカメラ用ワンチップ画像処理IC50側との境界を仮想的に示す仮想境界線75を跨いで形成されている。仮想信号線75に、8本の端子74-0から74-7までが形成されている。

【0038】端子74-0から74-7までとCCDインタフェイス53との間に、データ信号線 $LPD[0']$ から $LPD[7']$ までにより構成されるバスライン LD_{BC}' が延びている。これらの信号線が、デジタル信号処理回路52の入力端子 $TPD[0']$ から $TPD[7']$ までに入力される。端子74-0から74-7までとメモリカードインタフェイス54との間に、データ信号線 $LI/O[0']$ から $LI/O[7']$ までにより構成されるバスライン LD_{B31}' が延びている。これらが、中央演算処理装置51の入出力端子 $TI/O[0']$ から $TI/O[7']$ に入力する。

【0039】尚、図4に示すように、CCD固体撮像装置1とメモリカード41とのそれぞれ8本ずつの信号線を全て共通化して8本の共通信号線を形成しても良いが、その一部の信号線のみを共通化しても良い。両方の画像データ信号ライン数が一致していない場合には、少ない方のデータ信号線の本数だけを共通にすれば良い。

【0040】図4においては、例えば、画像データ信号線 $LPD[0]$ と画像データ信号線 $LI/O[0]$ とが共通になっている。より詳細に説明すると、2入力1出力のデータセレクト回路71が設けられている。データセレクト回路71は、CCD固体撮像装置1から出る画像データ信号線 $LPD[0]$ とメモリカード41から出る画像データ信号線 $LI/O[0]$ との2本の信号線を入力とし、1つの出力を端子74-0に出力する。データセレクト回路71は、2本の画像データ信号線 $LPD[0]$ と画像データ信号線 $LI/O[0]$ とから送られる画像データ信号のうちの一方のみを選択して端子74-0に出力する。いずれの信号線からの入力データを選択して出力するかは、データセレクト回路71に別途入力されているセレクト信号により決められる。

【0041】図5(A)にデータセレクト回路71の簡単な構成例を示し、図5(B)にその真理表を示す。入

力端子AとBとにそれぞれ信号が入力された時に、出力信号Yは図5(B)に示すように、セレクト信号S1によりA又はBのいずれかに決められる。図の回路構成では、セレクト信号S1がLow(L)の時に、出力は $Y=B$ となり、セレクト信号S1がHigh(H)の時に出力は $Y=A$ となる。2本の入力端子から入力されるデータを、データセレクト回路71により切り分けて1本の出力端子から出力させることができる。従って、仮想境界線75上に設けられている端子74の数を減少させることができる。同様に8本ずつのデータ信号線についてそれぞれ共通化できれば、16本必要であった端子数を8本に減らすことができる。

【0042】図4に示す端子74-0から74-7までからデジタルカメラ用ワンチップ画像処理IC50にデータを振り分ける際には、共通化されたデータ信号線 LD_{BC} を、信号線 $LPD[0']$ から $LPD[7']$ までとCCDインタフェイス部53と信号線 LD_{B33} とを介してCCD信号処理回路52に向かうルートと、信号線 $LI/O[0']$ から $LI/O[7']$ までとメモリカードインタフェイス部54と信号線 LD_{B21} とを介して中央演算処理装置51に向かうルートとに分岐させれば良い。

【0043】共通バスライン LD_{BC} を通る画像データ信号を、CCDインタフェイス53を介してCCD用信号処理回路52に出力させるか、或いは、メモリカードインタフェイス54を介して中央演算処理装置51に出力させるかを選択する際にも、図5に示すデータセレクト回路(実際にはデータセレクト回路71の入出力端子の入力と出力とを反対にした回路)73を用いれば良い。

【0044】データセレクト回路73は、1本の入力端子と、2本の出力端子と制御信号端子とを有している。制御信号端子から入力される制御信号S2がLowの場合には、入力端子Yからの信号が出力端子Bから出力される。制御信号S2がHighの場合には、入力端子Yからの信号が出力端子Aから出力される。従って、制御信号S2により、共通バスライン LD_{BC} を通る画像データ信号を、CCD信号処理回路52又は中央演算処理装置51のいずれに送るかを選択することができる。

【0045】尚、制御信号S2はセレクト信号S1と共通端子にすることができる。また、セレクト信号S1と制御信号S2とは、例えば16本の信号線を8本の端子にまとめる際には、それぞれ8ビット分のデータセレクト回路について共通化することができる。

【0046】尚、上記実施の形態においては、CCD固体撮像装置1からの画像データ出力端子とメモリカード41からの画像データ入出力端子とを共通にするための信号線の分岐手段及び信号線の合流手段として、図5に示すデータセレクト回路71を用いたが、他の分岐・合流手段を用いても良い。例えば、CCD固体撮像装置1からの画像データ信号線 $LPD[1]$ と、メモリカード41からの画像データ信号線 $LI/O[1]$ とを、1本の共通信号

線に共通化する場合に、2本の画像データ信号線L PD[1]とL1/0[1]とが交わる節点を形成し、この節点から1本の信号線を延ばすようにする。加えて、CCD固体撮像装置1の出力に、例えばトライステートの出力バッファを取り付ける。トライステートの出力バッファを用いると、出力を“0”又は“1”の状態にする以外に、ハイ・インピーダンス状態にすることができる。CCD固体撮像装置1の出力端子をハイ・インピーダンス状態にすれば、メモ리카ード41の入出力端子とデジタルカメラ用ワンチップ画像処理IC50との間でのみデータのやりとりをさせることができる。

【0047】尚、メモ리카ード41は、CPUからのコマンドに従って動作する。CCD固体撮像装置1からデータが転送されている間はメモ리카ード41が動作しないように設定すれば、CCD固体撮像装置1からデジタルカメラ用ワンチップ画像処理IC50のみに向けてデータを送ることができる。

【0048】図4及び図5を参照して、本実施の形態によるデジタル画像データ処理装置Bの動作について説明する。

【0049】まず、デジタルステルカメラのシャッターボタンを押すと、CCD固体撮像装置1中の光電変換素子内に信号電荷が蓄積される。この蓄積された信号電荷を垂直電荷転送チャネル内に読み出し、水平電荷転送チャネルを介して出力アンプに出力させる。出力アンプに出力されたアナログ画像データは、A/D変換器によりデジタル画像データに変換される。デジタル画像データは、デジタル画像データ用のバスラインLDB1を通り、例えば8ビットのデータセレクト回路71に入力される。ここで、セレクト信号S1をHighにしておけば、CCD固体撮像装置1からのデジタル画像データ信号のみが、8本の信号線からなる共通データバスラインLDBCに入る。共通データバスラインLDBC中のデジタル画像データ信号は、制御信号S2としてS1と共通の信号（この場合にはHigh）が入力されているデータセレクト回路73により、CCDインタフェイス部53を介してCCD用信号処理回路52に向けて出力される。

【0050】メモ리카ードインタフェイス54を介してメモ리카ード41と中央演算処理装置51との間の双方向データ通信を行う際には、セレクト信号S1と制御信号S2との両方をLowにすれば良い。

【0051】以上のように、本発明の実施の形態による撮像装置では、デジタルカメラ用ワンチップ画像処理IC50の1つの端子74を介して、CCD固体撮像装置1からの第1の画像データ信号とメモ리카ード41からの第2の画像データ信号との2種類の信号のいずれかを選択して入力する。この端子74を介して、デジタルカメラ用ワンチップ画像処理IC50内において、第1の画像データ信号をCCD用信号処理回路52に向けて、第2の画像データ信号を中央演算処理装置51に向けて

出力する。

【0052】従って、画像データの転送に関与するデジタルカメラ用ワンチップ画像処理IC50の端子数を低減することができる。

【0053】以上説明したように、本実施の形態によるデジタル画像データ処理装置を用いると、デジタルカメラ用ワンチップ画像処理装置の端子数を少なくすることができる。従って、デジタルカメラ用ワンチップ画像処理IC及びそれを備えた撮像装置の製造コストを削減することができる。また、デジタルカメラ用ワンチップ画像処理IC用のパッケージを小さくすることができる。

【0054】以上実施の形態に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0055】例えば、本実施の形態によるワンチップ画像処理ICは、デジタルステルカメラに用いるのに適するものとして説明したが、パーソナルコンピュータ（PC）内に組み込まれている画像処理用のICとして用いることもできる。また、PCなどに画像を表示するためのプロジェクタ（マルチメディアプロジェクタ）内の画像処理用のICとして用いることも可能である。

【0056】また、固体撮像装置としてはCCD固体撮像装置を例にして説明したが、CMOS型固体撮像装置用のワンチップ画像処理ICに適用することも可能である。

【0057】

【発明の効果】本発明によれば、デジタルステルカメラ向けのワンチップ画像信号処理ICの端子数を削減することができる。従って、IC全体としてのコストダウンを実現することができる。

【図面の簡単な説明】

【図1】 CCD固体撮像装置の概略構造を示す平面図である。

【図2】 メモ리카ード（スマートメディア）の外部端子を中心とした概略構造を示す平面図である。

【図3】 本発明の一実施の形態によるワンチップ画像信号処理ICを含むデジタル画像データ処理装置の機能ブロック図である。

【図4】 本発明の一実施の形態によるデジタル画像データ処理装置のうち、CCD固体撮像装置及びメモ리카ードと、ワンチップ画像信号処理IC中に含まれるCCDインタフェイス及びメモ리카ードインタフェイスとの接続関係を示す回路図である。

【図5】 本発明の一実施の形態によるデジタル画像データ処理装置のうち、CCD固体撮像装置及びメモ리카ードと、ワンチップ画像信号処理IC中に含まれるCCDインタフェイス及びメモ리카ードインタフェイスとの間を接続するデータバスラインに設けられるデータセレクト回路の回路図（図5（A））とその真理表（図5

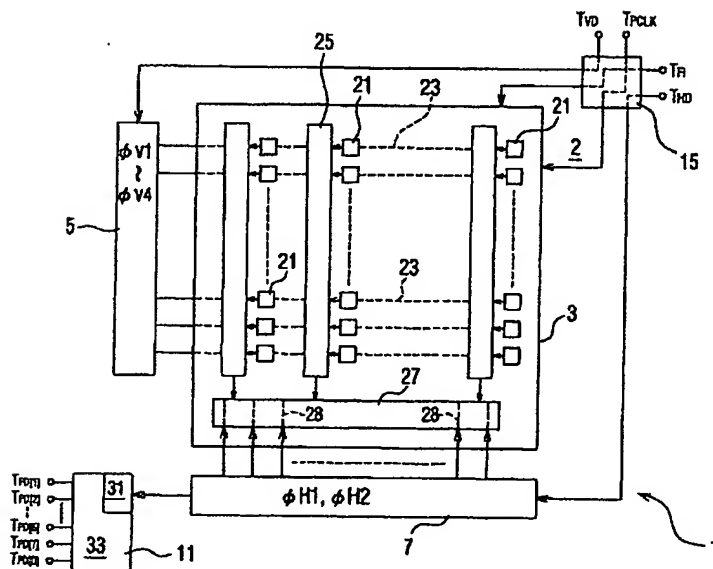
(B))である。

【図6】 ワンチップ画像信号処理ICを含む一般的なデジタル画像データ処理装置の機能ブロック図である。

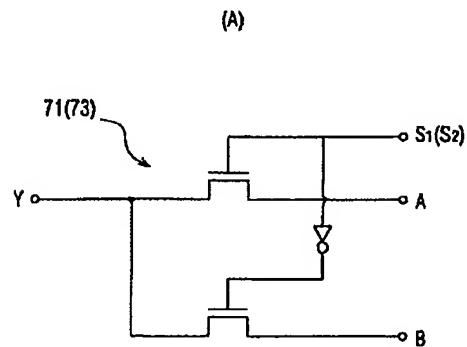
【符号の説明】

- | | | | |
|----|---------------------|-------|-------------------------|
| 1 | CCD固体撮像装置 | 52 | CCD用デジタル信号処理装置(DSP) |
| 2 | 2次元平面 | 53 | CCDインタフェース |
| 3 | 画素部 | 54 | メモリカードインタフェース |
| 5 | 垂直駆動部 | 61 | 外部記憶装置(SDRAM) |
| 7 | 水平駆動部 | 54 | SDRAMインタフェース |
| 11 | 信号出力部 | 63 | 液晶表示装置(LCD) |
| 15 | タイミングパルス信号発生器 | 55 | ディスプレイ・インタフェース |
| 21 | 光電変換素子 | 65 | パーソナルコンピュータ(PC) |
| 23 | 垂直電荷転送電極 | 56 | USB用インタフェース |
| 25 | 垂直電荷転送チャンネル | 67 | ユーザインタフェース |
| 27 | 水平電荷転送チャンネル | B | デジタルデータ処理装置(デジタルスチルカメラ) |
| 28 | 水平電荷転送電極 | LD8 | データバス信号線 |
| 31 | 出力アンプ | LD81 | 第1のバスライン(信号線) |
| 33 | A/D変換器 | LD82 | 第2のバスライン(信号線) |
| 41 | メモリカード(スマートメディア) | LD8C | 共通バスライン(信号線) |
| 50 | デジタルカメラ用ワンチップ画像処理IC | LPD | 画像データ信号線 |
| 51 | 中央演算処理装置(CPU) | LI/O | 画像データ信号線 |
| | | 71、73 | データセレクト回路 |
| | | S1 | セレクト信号 |
| | | S2 | 制御信号 |

【図1】

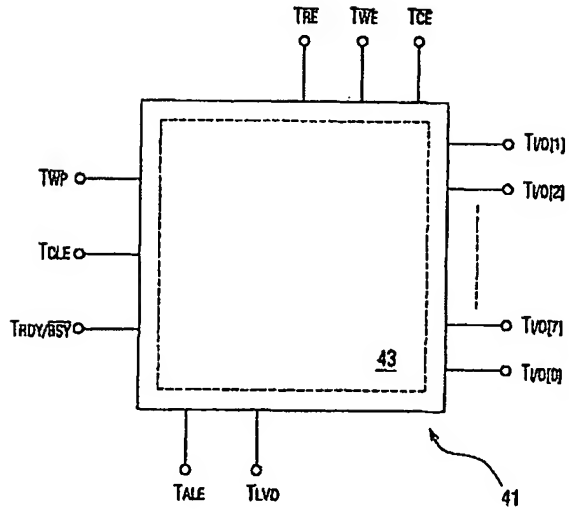


【図5】



S ₁ (S ₂)	L	H
A	—	Y
B	Y	—

【図2】



【図3】

